

## PATENT ABSTRACTS OF JAPAN

(11)Publication number: 09083486

(43)Date of publication of application: 28.03.1997

(51)Int.CI.

H04J 13/00 H03H 17/00 H03M 1/12

(21)Application number: 07255758

(71)Applicant:

N T T IDO TSUSHINMO KK

(22)Date of filing: 08.09.1995

(72)Inventor:

KOTOBUKI KOKURIYOU

SHU NAGAAKI

YOZAN:KK

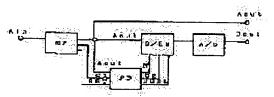
YAMAMOTO MAKOTO SAWAHASHI MAMORU ADACHI FUMIYUKI TAKATORI SUNAO

## (54) FILTER CIRCUIT FOR COMMUNICATION

### (57)Abstract:

PROBLEM TO BE SOLVED: To reduce the power consumption, the cost and to improve the yield by using a sample-and-hold circuit to hold intermittently an analog output signal so as to minimize the operating speed of an A/D conversion circuit.

SOLUTION: A sum arithmetic section MF outputs an analog output signal Aout and outputs a clock signal C1 deciding a timing of data hold of an internal sample-and-hold circuit S/H 3 and a reset signal RST representing a data hold timing of a top circuit to a peak detection section PD. The peak detection section outputs a clock signal C2 corresponding to the clock signal C1, a data number N to be held and a register selection signal RSEL to be held to the sample-and-hold circuit S/H 3. Thus, the sample-and-hold circuit S/H 3 holds intermittently an analog output signal of the sum arithmetic section MF to minimize the operating speed of an A/D conversion circuit, to reduce the power consumption and cost and to improve the yield.



<u>Japanese Laid-Open Patent Publication No. 83486/1997</u>
(Tokukaihei 9-83486) (Published on March 28, 1997)

## (A) Relevance to claim

The following is a translation of passages related to no claim of the present invention.

(B) Translation of the related passages [EXAMPLE]

[0010]

In Fig. 1, a matched filter is provided with a sample hold circuit "S/H3" at the following stage of a product-sum computing section "MF" of Fig. 17 to hold an analog output signal transmitted from the product-sum computing section; and an A/D converter for digitalizing an analog output signal Aout transmitted from the sample hold circuit. The sample hold circuit is controlled by a peak detecting section "PD". The product-sum computing section outputs to a peak detecting section PD a clock signal C1 for determining a timing of holding data in the sample hold circuit, and a reset signal RST indicative of a timing of holding data in the first sample hold circuit, as well as the Aout signal. The peak detecting section controls the S/H3 in response to these signals.

[0011]

The peak detecting section outputs to the sample hold

circuit S/H3 a clock C2 corresponding to the C1 and outputs the number N ('i' of the above equation (1)) of data to be held. The number N may have a predetermined number of kinds, e.g., three kinds at a maximum. Each of the numbers is registered in the register (not shown) of the sample hold circuit, and a register selection signal RSEL used for this operation is inputted from the PD to the S/H3.

(19)日本国特許庁(JP)

3

Þ 噩 排 野公 垬

 $\overline{\mathbb{A}}$ 

(11)特許出層公開舜時

特開平9-83486

(43)公開日 平成9年(1997)3月28日

	A	1/12	11 0 3 M			1/12	10 3 M
	601C	17/00	H03H	9274-5 J	601	17/00	10 3 H
	۸	13/00	H 0 4 J			13/00	104.
技術表示循序			TI —		色別組織		Int.CI.
技術数示簡別		13/00	F I H 0 4 J 13/00 H 0 3 H 17/00		<b>维</b> 题起号	)Int.Cl." 10 4 J 13/00 10 3 H 17/00	

н н Е

## 毒強能・水 未 熱・水 糖・水・現の数 2 FD (全) 12 **H**)

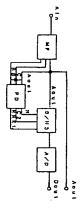
最終其に統へ			
(74)代理人 井理士 山木 誠	(74)代理人		
条式会社鷹山内			
東京都世田谷区北沢3-5-18鷹山ビル			
五块男	(72)発明者 周 長明		
株式会社鷹山内			
東京都世田谷区北次3-5-18鷹山ビル			
孝 国聚	(72)発明者 寿 国聚		
東京部世田谷区北京3-5-18 集山ビル			
株式会社鷹山			
390010515	(71)出版人		
東京都港区境ノ門二丁月10番1号		<b>半成7年(1995)9月8日</b>	(22) (1) (25)
エヌ・ティ・ティ移動道信頼株式会社			
392026693	(71)出國人 392026693	<b>特理</b> 平7-255758	(21)出西#号

## (54) 【発型の名称】 通信のためのフィルタ回路

(57) 【規制】

のためのフィルタ河路を提供すること目的とする。 グ川力とともに効果的にデジタル出力を生成し得る通信 【目的】 低消費電力型のフィルを回路においてアナロ

小限に抑えたものである。 欠的保持しこれによってA/D変換回路の動作速度を帰 ればよいという経験側に基づき、アナログ出力信号を開 【霧長】 回期福禄後に「韓の信号のスキングニングセ



# BEST AVAILABLE COPY

い、加算指果をアナログ出力信号として出力する指袖道 通信のためのフィルタ回路。 ホールド回路の出力をデジタル化する最子化部を備えた も称2 サンプル・ボールド回路と、この第2 サンプル 取り込むべきタイミングでのみ信号を保持し適宜出力す がさらに設けられ、このA/Dコンパータは崩乱信号を グ出力信号をデジタル信号に変換するA/Dコンパータ 有する通信のためのフィルを回路において、前記アナロ を取り込むペンタイミングを決定するピーク検出部とを 整路と、この指由演奏部の出力のピークを検出して信息 ログ人力信号に対してPN符号による重み付き加算を行 よりアナログ人力信号を暗系列で保持し、各時点のアナ 「野声点大の利用」 模数の第1サンブル・ホールド回路に

比が眠いという回題があった。

のピーク製物に対応した複数の第3キングル・ボールド 関タイミングを制御する制御部を備えていることを特徴 ル・ホールド回路の保持タイミングおよびスイッチの間 スイッチと、ヒータ検出部の出力に基づいて数3サンプ 回路と、これら第3サンブル・ホールド回路のいずれカ とする語来項1記載の通信のためのフィルタ回路。 1個の出力あるいは基準電圧を選択的に出力する異数の [語表式2] 第2サンプル・ボールド回路は、模器

【後明の評細な説明】

クトラム拡散通信システムに有効なマッチドフィルタ回 路に係り、特にお助体通信や無線LAN等のためのスペ 【廃業上の利用分野】本発明は通信のためのフィルタ回

スペクトラム拡散方式の通信において、信号を受信すべ 2つの信号の同一性を判定するためのフィルタであり 異および保持を行う。 フィルタで処理し、その祖因ピークを後出して、同期祖 きユーザは受信信号を自らの拡散符号を用いたアッチド 【従来の技術】マッチドフィルタ(整合フィルタ)は、

出力y (1) は、 をx(t ー i ユt)とすると、マッチドフィルタの相限に、 / ・・ロ 問題立て、拡散符号長をN、ある時刻で以前の受信信号 【0003】ここに拡散符号をd(i)、サングリンク

 $y(r) = \sum_{i=1}^{n-1} a(i)x(r-i\Delta r)$ 

となる。なおけ(i)は1ビットデータのデータ列であ

Mにより、レジスクREGに登録された重数を入力信号 サンプルタイミングにおいて、複数のデジタル原算器D 演算回路であり、デジタル化された人力信号Xをシフト レジスタSFT -REGで保持しつのシフトし、遅近の 1.6はデジタルタイプのマッチドフィルタにおける精和 【0004】ここで従来のマッチドフィルタをみる。|ヒ

> が、主張子による合体回路実現が容易でなくまた8/※ **毎班通信雑末にとって重大な欠点であった。またSAM** 回路規模は大きくなり、多くの電力を消費した。これは あり、国主6の国路が複数系統になる。このため全体の プロングあるいはより多くのサンプロングを行う必要が 対応するものであるが、同期福提のためにはダブルキン DADにおいて加算する。以上の演算は上記式(1): 口水する。そして各乗な器DMの出力をデジタル無な器 (表面與性波) 素子を使用した回路も用いられていた

の通信システムが明いられる可能性があり、マッチトフ 算を行い、消費電力を節減した。しかしながら、マード 最特合による電圧駆動型のサンプル・ホールドおよび第 型の借和減算回路によるマッチドフィルタを提案し、浴 ドフィルタ以外の部分については当面従来のデジタモ型 (ルタの出力としてデジタル出力も必要となった)。 【0005】そこで本類出類人は図17にボオアナログ

ケル出力を生成し得る通信のためのフィルク回路を提供 イルタ回路においてアナログ出力とともに効率的にデジ 超近に基準する人の関係があれたのが、英語は同じ型では すること目的とする。 【発明が解決しようとする課題】本発明はこのような問

[0007]

に抑えたものである。 20月1日にはよってA/D 数数国路の場合等域を成立域 よいという経験国に基づき、アナログ出力信号を開欠的 路は、同期相提後に一部の信号のみサンプリングすれば 【課題を解決するための手段】 本発明に係るフィルタ回

スト、歩留り、消食電力において有利である 機同路として速度仕様の比較的低い回路を使用でき、コ 【作用】本発明に係るフィルタ回路によれば、A/D変

例を図面に基づいて説明する。 【実施例】次に米発明に係るマッチドフィルタの1円値

[00009]

出力し、ドーク操作器はこれら信号に基づいてのプロコ を示すりセット信号RSTをピーク機能器とロに対して 先頭のサンプル・ホールド回路のデータ保持タイミング 保持のタイミングを決定するクロック信号にし、および 療出部「PD」によって制御されている。指布選集部は ログ出力信号Aoutをデジタル化するA/D変換部 路「S/H3」と、サンブル・ホールド回路からのデナ らのアナログ出力信号を保持するサンブル・ホールド回 1.7の精和減算部「MF」の後段に、この指和消算部か Aoutの他に、内部サンプル・ホールド回路のデータ 「A/D」とを有し、サンプル・ホールを回路はピーツ [0010] 関1において、マッチドフィルタは前記図

【0011】 ピーク後出部のサンブル・ホールド回路 8

✓ H 3 に対して、前記C 1 に対応したクロック C 2 を出 力し、保持すべきデータの報号(消記式(1)の i) N を出力する。この報号Nは承定教教、例えば 3 例まで数 完全さる。名都号はサンプル・ホールド回路内のレジス ッ「例ぶ名称」に、「C S 4 ※ 1、そのためのレジスを選 取信号 R S E L が下りから S / H 3 に入力される。

(1012] 何2において、サンブル・ホールド网络S 1/13は、指面演算部の出力A on tを適当なタイミングで保持する視鏡のサンブル・ホールド网络S H 2 1、S H 2 2、S H 2 3を存し、これらのサンブル・ホールド网络の出力はスイッチ S B 2、S B 4 にそれぞれ接続されている。信識電圧をVddとするとき、Vud/2の基準配形Vェが各サンブル・ホールド网络に入力され、さらにVェは、前記スイッチ S B 1 に入力されている。スイッチ S B 1 に入力されている。スイッチ S B 1 に入力されている。スイッチ S B 1 に入力されている。アジタンス C 2 1 に乗り入力され、キャバシタンス C 2 1 0 出力は マンガードバック され、これによって、S B 1 - S B 4 の出力が良好な親野特性をもってアナログ出力信号 A o 2 として出力されるようになっている。

【0013】 前記SH21~SH23およびSB1~SB4はコントローラ(CONTROLLERで示す。) よりの制御信号CTRL2によって制御されており、コントローラにはマルチバスにおける技数のピークに対応した視数のレジスタが設けられ、データ取り込みのタイングが、すなおちデータ中のピークの放置を示す番号(以下ピーク番号という。)を登録し得るようになっている。コントローラには、ピーク条川路PDからレジスタ遊択信号RSEL、ピーク番号信号N、レジスタ件さ込みクロックC2が入力され、各レジスタに対するピーク番号告さ込みが行われる。

【0014】さらに反抗性熱格 INV2には、その人間力を接続するスイッチ SA1が設けられ、SA1を開成することによって、反抗性熱格 INV2の人力におけるオフセット形式をリフレッシュに得る。このリフレッシュによって、サンブル・ホールド回路の用力が度を確保に得る。

【0015】スイッチSB2~SB4はSH2)~SH23で保持されたAonでを保険に用力すべき時点で開設され、またSB1はINV2、C21、C22の7フレッシュに関して開送される。

【0016】 サンブル・ホールド网络SH21はAou 1810\*V r にそれぞれ接続されたスイッチ SWH1、SVH2を有し、SVH3と同様に、これらスイッチの出力は、キャパシタンスC31を介してインパータ I N V 3の人用 V 3に入力されている。またインパータ I N V 3の人用 力はキャパシタンスC32およびスイッチ SA2によって担抗に接続されている。サンブル・ホールド回路 SH

21は、コントロール信号でTRL3によって制御され、SWH2を開成した状態から開放された時点においてC31およびC32の遺資としてAcalを取り込み、発酵する。サンプル・ホールド回路の出力はINV3の高いゲインおよびC32によるフィードバックによって、真好を教服物が必要。メルでいる。そしてSH22、SH23はSH21と同葉に構成されている。

【0017】図4において、前記スイッチSA1はMOSトランジスタTT4は大びこれを選集性のダミートランジスタDT4(T4の1/2はどのサイズ)を前列してなり、そのゲートには制即信号CTRし4およびこれをなり、そのゲートには制即信号CTRし4およびこれをインバータ14によって反転した信号が入力され、CTRし4がいイレベルのときに入りTin4が出力To4に発動するようになっている。DT4はINV2の入り調すなわちフローディング状態のキャバシタンスC21に接続され、ソフレッシュ時におけるC21の範例契例の影響をDT4の遊棄性によって出行するようになっている。これによってスイッチSA1の影響による出力特度低下が時止されている。なおSA2も同様に構成されるマチでSA~と表示されるものは全て同様に構成されるものとする。

【0018】関与において、スイッチSB1はMOSトランジスタT5のゲートに細胞信号CTRL5およびこれをインバータ15によって反転した信号を入力してなり、CTRL5がパイレベルのとさに入力Tin5が出力Tn5に導通するようになっている。なおSB2~SB4も回線に構成されているので何点を省略する。また以下に記述されるスイッチでSB~と表示されるものは全て回線に構成されるものとする。

【6019】関係において、前記スイッチSWH1はCMOST6およびこれと遊療性のダミートランジスタDT6(T6の1/2ほどのサイズ)を前列してなり、そのゲートには勘算信号でTRL6およびこれをインバータ16によって反転した信号が入力され、CTRしらがハイレベルのときに入力Tin6が出力To6に発動するようになっている。DT6は出力調すなわちフローディング状態のキャバシタンスC31に接続され、リフレッシェ時におけるC31の危険機能の影響をDT6の遊機性によって用数するようになっている。これによってスイッチSWH1の影響に指載されているので国家を介養する。

【0020】歯記サンプル・ホールド回路S/H3によるサンプル・ホールドの外(ミングは図18に示すとおりであり、SH21による信号取り込みの後、一定の時間Thの経過後にSH21のデータをSB2から出力する。このデータ出力が終了する前にSH22によるデータ取り込みを開始し、その終了後にSB3からの出力を行う。さらにSH23でのデータ供持終了後SB4によ行う。さらにSH23でのデータ供持終了後SB4によ

# BEST AVAILABLE COPY

3い 関係を起点としてサンブル・ボールドの周囲でで発用し 3い 関係を起点としてサンブル・ボールドの周囲でで発用し 8のように示え、S B 2 による出力関係から S B 4 によ 4 を出力終了までの時間をT 1 とすると、時間(T h + T によ 1)はT c + りもかく設定される。そして「T c + 「T 1 による回路のサフレッシュが実好される。

[0021] JEHEI 3 図のピークが後用され、サンプル・ホール F 回答における全ての回路が使用されるケースであるが、より少ないピーク例えば 2 図のピークが後用された場合には同じりのようなタイミング設定が行われる。

【0022】同19において、SH21によるデータ展り込みから、SH22によるデータ限り込みまでの時間です、同データ限り込みからSB2による出力までの時間円14回18と同様に設定され、また出力期間で16回18と同様に設定される。

【0023】何ではおいて、A/DコンバータはS/H 3の出力(何ではA:7で赤字)がよ力された第1段 子化同路Q1、この景子化同路の出力およびA:7の反 振出力が入力された第2号子化同路Q2を打し、Q1に おいて上位ビットを、Q2において下位ビットを生成する。

【0024】最子化网络Q1は図8に示す4段路の図4回路Th1、Th2、Th3、Th4よりなり、上位3段階の各図傾回路の出力も0~62の反転出力も0~。 b1、、b2、が円端中間データとして生成されている。

【0025】最も下原の関側回路下も4はは、入り得号 Ai R、 b 0'、 b 1'、 b 2' が入りされる容量結合 CP R 4、およびこのCP R 4の出りに接続された4度 のMOS インバータ1 R 41、1 R 42、1 R 43、1 R 44を行し、b 3は1 R 44 4の出りとして生成されている。CP R 44を行し、b 3は1 R 4 4 の出りとして生成されている。CP R 43、CR 4 4 5、CR 4 5、CR 4 6 を乗列接続してなり、これらキャバシタンスには、人り借号Ai R、 b 0'、 b 1'、 b 2'、 造滅追居Vgg(=Vdd)およびグランドがそれぞれ接続されている。Ai R はマルチプレクサMU Xを介してCR 4 1 に入りされ、マルチプレクサはAi R と基準電信Vェを 1 表状一句にCR 4 1 に入りする。

[0026] 最下向から「第日の折に対応する関値回路 Th 3 には、人力信号Ai8、b0'、b1'が入力される客量結合CP83、およびこのCP83の出力に接続された4度のMOSインバータ1831、1832、1833、1834至行し、b2は1834の出力として申載されてv3。CP83はキャバシタンスC831、C832、C833、C834、C835を乗列接続してなり、これらキャバシタンスには、人力信号Ai8、b0'、b1'、電源電圧Vででおよびグランドが

【0028】最上次の所に対応する関係回路でおしたは、人力得等Ai8が入力される客景都合にP81、152、1813を行し、50は1、1811、1812、1813を行し、50は1813の出力として生成されている。CP8上はキャバシタンスC811、C812、C813を乗列接続してらり、これらキャバシタンスには、人力得分Ai8、電源品にVccおよびグランドがそれぞれ接觸されている。Ai8はマルチプレクサMUXを介してC811に入力され、マルチプレクサはAi8と場際記述Vcをして、人力され、マルチプレクサはAi8と場際記述Vcを行した力する。

【0029】CP81~CP84の名キャパシタンスの容量は表1のとおりであり、人力信号A:8に対する出力も0、も1、52、53は表2のとおりである。なお表1のCuは必ずしも最小容量である必要はなく、各容量結合に更適であればよい。また表2中、辺形(V d d / 16)をVaとしてお示している。

14 C 7 3 : C 7 4 : C 7 5 : C 7 6 : C 7 7 : C 7 8 = bの、b1、b2、b3がそれぞれ接続されている。 例の配品INV72を介してQ2に入力され、INV7 ±0.7.2 と設定されている。容量指合CP 7.0出力は反 器の出力は-A:7(C71/C72)であり、C71 てその人力にフィードバックされている。この反動部類 おり、INV71の出力はキャパシタンスに72を全! 1、反動増配部「NV7」を介してC73に入力されて 反転出力と加算される。Ai7はキャパシタンスでで CP7により、2進数の重み付けをされ、かつAiこの 3が供収される。そして、60~63は閏7の容量指令 16:1:8:4:2:1である。なお、量子化网络の こに、C74およびCP7内のキャパシタンスの容量比 続してなり、これらキャパシタンスには - ハイデニ、 ンスC73、C75、C76、C77、C78を単列版 1ードパックされている。脊梁指介CP7はキャパシタ 2の出力はキャバシタンスCT4を介してその人力につ [0030] 以上の最子化回路Q1により出力も0~も \_

G

ル・ホールド回路にはコントロール回路CTRL9が98 Vinが取り込まれるように制御を行う。 続され、順次いずれか1個のサンプル・ホールド回路に 単列後院してなり、各サンプル・ホールド回路から日 て入り電圧Vin(規模電圧Vrを基準とした電圧)を サンブル・ホールド回路S/H91~S/H96に対し (ハイ) . L (ロー) の2系統の出力を生じる。サンプ [003] | 図りにおいて、指相消費回路MFは複数の 2401と回根に構成されているので説明を省略する。

ホールド河路S/H91はAi9を保持することにな 成されると、C9はA)9に対応した電荷で充電され、 のスイッチSB15に接続されている。スイッチSB1 のように構成され、人力電圧Vinは崩記SBIと同様 H96 (国は5/H91で代表している。) は、国10 し間の一方に導き、他方には基準電圧V r を接続する。 その後スイッチSB15が開放されたときにサンプル INV9により出力の検形特性が保証される。そして、 には共通な基準電圧V rが接続されている。SBIS間 シスC 9の出力には反転増幅部INV 9が接続されてい 5の出力はキャパシタンスC9に接続され、キャパシタ して行われ、この段階で乗算が完了したことになる。 この経路選択は人力信号に乗ずべき1ピット符号に対応 1、MUX92に入力され、またこれらマルチプレクサ る。INV9の出力は2例のマルチプレクサMUX9 【のの33】サンプル・ホールド间路S/H 9 1 ~S/ …ル回路の制御に基づき、人力電用VinをH側または 【0032】またサンブル・ホールド回路は、コントロ

1 (図2) と等しく設定され、関ループゲインは-1に 定されている。帰因キャパシタンスC22の容量はC2 タンス1101の入力に接続され、関ループゲインが設 **冠キャパシタンスC22 (図2) を介して初段キャパシ** 段のMOSインバータ!103の出力Vol0は前記場 1101、1102、1103に入力されている。最終 行し、人力復用A i 1 0 は 3 段直列のMOS インパータ 【0034】前記反転増幅器INV2は関11の構成を

回路の発板が助出されている。 されている。これによってフィードバック系を含む時間 101、RE102を介して電源およびグランドに接続 れ、また1102の出力が一身の平衡レジスタンスRE 地ギャパシタンスCID2を介してグランドに接続を 【0035】反転増幅部INV2はI103の出力が接

V9はINV2と同様に構成されているので、国示を省 [0036] INV3. INV71. INV72. IN

れぞれ相互に接続してトランジスを何路でして1、TI と、p型MOSトランジスタのドレイン、ソースとをそ サMUXはn型MOSトランジスタのソース、ドレイン [0037] 図12に示すように、図8のマルチプレク

> 断され、ローレベルのときにはT122が停泊しT12 UX92はMUXと同様の構成を有するので、説明を省 の幾乎には場所国用Vrが接続されている。トランジス 得る。なお四10に示すマルチプレクサMUX91、M ントロールによりAi12またはVrを枳・的に出力し 1が遮断される。すなわちMUXは、CTRL12のコ イレベザのときには、T121が得通してT122は過 号が入りされている。これによって、CTRL12がハ t. T121のpMOSおよびT122のnMOSのゲ ンジスタのゲートには制御信号CTRし12が入力さ ートにはCTRL12をインバータ112で反転した信 およびトランジスタ回路でしませばはおけるpMOSトラ 夕回路下121におけるnMOSトランジスタのゲート たT122における n M O S トランジスタのドレイン側 12に接続され、T121におけるnMOSトランジス OSトランジスタのソース側の場子は共通出力場子TO 22を構成しなる。両トランジスク回路における n 型M (国12°CはA i 12°Cが1。) が縁続されている。] タのドレイン側の場子には図8に示した人力供EA i 8

C133の人力電圧をAil31、Ail32、Ail ると、INVI3の出力Aの13は、 33、INV13の帰還キャパシタンスをCF13とす 013として出力される。谷キャパシタンスC131~ ルド回路の個数に対応した個数のキャパシタンスC13 て、CP13の用力が良好な線形性をもって用力電形A し、その出力はINV2と同様なINV13に接続され 1、C132、C133よりなる容量結合CP13を有 (AD91mも同様。) は1グループのサンブル・ホー 【0038】図13に泳すように、加算部AD91p

$$\{b(2)\}$$

$$A_{0|13} = \underbrace{C_{10}Ai_{10} + C_{10}Ai_{10} + C_{10}Ai_{10}}_{CF}$$

C132=C133=CF13/3と設定されている 場項電用V r を基準とした電用であり、またC 1 3 1 = 845. CCIC. A | 131 - A | 1338A o 134 これにより、

1013 - Aim + Aim + Alm

により、最大電圧が電源電圧を超えることが防止されて となる反転加算値の正規化出力が得られる。この正規化

殺されたAD91pまたはAD91mの倒数に対応した 作じるようになっている。各キャバシタンスCI4I、 14の出力が良好な線形性をもって1NV14の出力に 軽霜部INV14に接続されている。これによってCP 粘合CP14を有し、その出力はINV2と同様な反転 例数のキャパシタンスCl41、Cl42よりなる容量 【0039】 図14に示すように、加算部AD92は接

# BEST AVAILABLE COPY

出力A n 1.5(Vrを基準とした形形)は

[27.6]

Nots - CmA on + CmAin + CmAin

1.4の構成キャバシタンスをCF14とすると、INV Clase Adulte (Ailal, Ailas, INV 14の出力入の14は、

$$A014 = -\frac{C_{10}A_{100} + C_{101}A_{120}}{C_{100}C_{101}}$$

CF15/2と設定され、

[77]

 $A015 = \frac{Ai_{21} + AI_{22} + 2AI_{23}}{2}$ 

844, 200, C151 (C152 C153 2

C142→CF14/2と認定されている。これによっ 機能過用Virを初率とした過用であり、またCI4I= EGG. CCC. AITAT, AITAZEAOTAU

$$\frac{10151}{4014 - \frac{Ai_{11} + Ai_{11}}{2}}$$

り、最大電圧が電源電圧を超えることが防止されてい なる加芽館の正規化出力が得られる。この正規化によ

帰辺キャパシタンスをCF15とすると、INV15の &A1151, A1152, A1153, INV150 の出力に生じるようになっている。各キャパシタンスC 総された2例のAD91pまたはAD91mおよびAD 151~0153の人力電圧 (V r を基準とした電圧) ってCP15の出力が良好な線形性をもって1NV15 NV2と同様のINV15に接続されている。これによ 153よりなる容量結合CP15を有し、その出力は1 9.2 に対応したキャパシタンスC15.1、C1.5.2、C 【0040】図15にボオように、加算部AD93はR

$$\frac{+Ai_{(1)}}{2} \tag{5}$$

920/11/11/101414

[ 8 74]

 $Ao14 - \frac{1}{N} \sum_{i=1}^{N-1} \frac{ICTIUI.9(i)+1}{2} V(i-i\Delta i)$ 

のS/H9iのための信号CTRL9をCTRL9

2、AD93による演算を一般化してまとめる。主番目

[0041] CETAD91p. AD91m. AD9

(i)、その反称を1CTRL9(i)で表すと、AD

$$A : 152, A : 153, INV150, E&1, AD930: DA015 (1) (1)$$

$$2 \times 2 \times CF15 \times 45 \times INV150, [H/9]$$

$$An 15(1) = -\frac{1}{N} \left\{ Nd014 - \sum_{i=1}^{N} \frac{CTRL 9(i) + 1}{2} F(1-iN) \right\}$$

$$(8)$$

(8)

 $Ao15(t) = \frac{1}{N} \sum_{i=1}^{N-1} \frac{\{CTRL \circ (i)p(t-i\alpha) - iCTRL(i)p(t-i\alpha)\}}{\{CTRL \circ (i)p(t-i\alpha) - iCTRL(i)p(t-i\alpha)\}}$ [ 22 1 0 ]

CTRL9 (i) = -1, obs [CTRL9 CTRL9 (i) = 1 obb ICTRL9 CTRL9 (i) = 1となる演算が実行されたことになる。ここに、 (i) !! (i) #--または -1

ッチを省馬した場合にも通常は充分な出力特度が得られ **治費電力を領域に得る。なおリフレッシュのためのスイ** 用状況に応じて給電停止するものであり、これによって チSWSはサンプル・ホールド同路SH21等をその使 また反動的幅部(INV2で代表する。)の電源スイッ り、電荷リーク等によるオフセット電圧を解消し得る。 SB7〜SBI4は回路のリフレッシュを行うものであ [0042] 前記スイッチSA1~SA12、SB1、

【四面の簡単な説明】

【四十】 - 本発明に係るマッチドフィルク回路を示す回

小本回路図である。 【図2】 同点施例におけるサンブル・ホールド回路を

ンプル・ホールド回路を示す回路図である 【図3】 「同サンプル・ホールド回路における1 脚の牛

【図5】 - 同実施例における第2のタイプのスイッチを

[0043]

力において有利であるという優れた効果を有する。 の比較的低い回路を使用でき、コスト、歩留り、温費電 を最小限に抑えたので、A/D変数回路として運度仕様 を国久的保持しいれによってA/D教表回路の動作用の グすればよいという経験回に基づき、アナログ出力信号 のフィルタは、同期捕捉後に一部の信号のみサンブリン 【発明の効果】前述のとおり、本発明に係る通信のため

俗区である。

**す回路図である。** 【四4】 | 同実稿例における第1タイプのスイッチを示

5

ポナ网络国である。 【四6】 同児施修における第3のタイプのスイッチを ポキ网络国である。 【四7】 同児施修におけるA/Dコンパータボキ回路

|何である。 | [図8] | 同人/Dコンバータにおける原子化回路を示す回路回である。 | [図9] | 同児範囲における精和流算回路を示す回路図

【闰10】司任和海外国外におけるサンブル・ホールド 国界を示す国路国である。 【闰11】国実施例に含まれる反動機構なを示す国路国

【図12】図8ほよび図10のサンブル・ホールド回路におけるマルチブレクサを示す回路側である。 【図13】図9の開始減算回路における第1の加集回路を示す回路回である。 【図14】図9の開始減算回路における第2の加算回路

ポオタイミング・チャートである。 << End >> A:YJSDXXYPATENTYYZNOSKIOQVIVJAILIT: TXT MF . . 相相減算器 SB2~SB4 . . . X174 S/H3, SH21-SH23, S/H91-S/H9 ボオフロック図である。 <<Start>> A:¥JSDOCYPATENTYVZNOS0เกิดYUJ@II สัย. TXT 6 . . . サンプル・ホールド回路 グを示すタイミング・チャートである。 \*\*\*\*\*\*\* 1995-09-07 17:28:01 【神景の説明】 [四19] サンブル・ホールド回路の他の動作タイミン 【図18】 サンブル・ホールド回路の動作タイミングを [図17] 提案済みのアナログ型のマッチドフィルグを プロック国である。

[]%]

【四16】従来のデジタル限のマッチドフィルタを示す

を示す回路因である。

[図15] 図9の指和液算回路における第3の加算回路

[]&2]

# BEST AVAILABLE COPY

後し キャパシタンス容費

		1843				CP82					CP 8 3						CP 8 4	20 mm
C 8   3	C 8 1 2	C 8 1 1	C 8 2 4	C 8 2 3	C 8 2 2	C 8 2 1	C 8 3 5	C # 3 /	C 8 3 3	C 8 3 7	C 8 3 1	C 8 4 6	C 8 4 5	0 8 4 4	C 8 4 3	C 8 1 2	0.84.1	キャパシタンス
8 C u	80"	- 3 C c	4 C u	4 C u	8 C u	1000	2 C u	2 C u	4 C u	8 C u	1 6 C u	C n	c -	2 C u	4 C u	8 C u	n 3.9.1	o) 38

SHELL STATES TO SHELL STATES AND SHELL S	[[d]]]	
CTRL4 SAI	[H 2]	

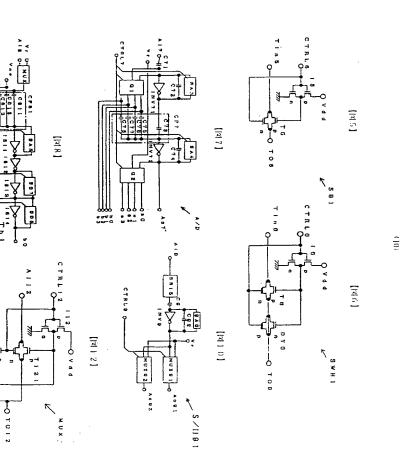
[12] 3]

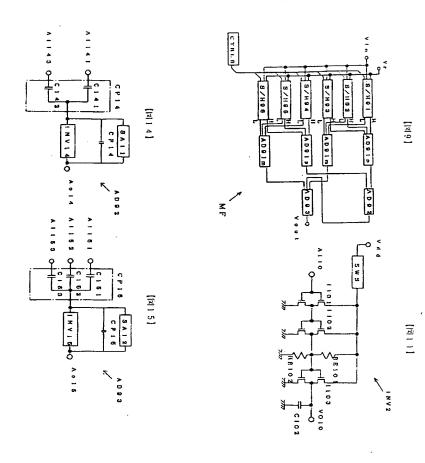
S A 1 0

# 2		人川力関係							
人力電圧	<b>3</b> 8	内部中面出力	# 27			出力			
V . 8	<b>5</b> .	P2.	<u>-</u>	8.	ьз	5. 23	<u>e</u>	5	
0 % V   6 / V   8	Ydd	V d d	Ydd	٧dd	0	•			
Va≤Vi8< 2VB	•	A d d	Ydd	Vdd	V d	•	•	0	
248 2 118 < 34a	V d d	•	Y d d	PPA	-	V d d	•	•	
378 × 418 < 470	•	•	V dd	700	746	P b A	•	0	
478 2 118 < 578	¥ d d	bpA	0	Ydd	•	0	Vdd	0	
5¥# ₹ 418 < 648	0	¥ d d	0	₹dd	γdd	0	V d d	0	
672 % Y 18 < 74	V d d	•	0	b p A	•	PPA	V d d	•	
TVax VIR < 8Va	0	0	0	Y d d	Ydd	PPA	Vdd	•	
BYB S Y I B S 9Ya	Ydd	₽ d d	V dd	0	o	•	0	V d d	
97a \$ 7i8 < 107a	0	Y d d	7 dd	•	V d d	•	٠	Ydd	
F411 > 814 5 8A01	b P A	•	V d d	•	0	γdd	•	V n d	
	•	۰	V d	•	V d d	Ydd	•	V d d	
1278 & T:8 < 1378	Ydd	744	0	6	0	0	PPA	V d d	
13Va & VIR < 14VA	•	Ydd	0	٥	PPA	0	Ydd	444	
14 8 8 4 3 8 4 15 Vo	Y d d	•	•	۰	0	νdd	7dd	V d d	
1549 × 418 < 1849	•	۰	•	•	¥ d d	700	700	Ydd	

# BEST AVAILABLE COPY

.3





റെത

റജമ

1 2

VB084

2

TON TON TON TON

[13] 1 6]

[14] 17]

9 / 11

# BEST AVAILABLE COPY

Ξ

